

1) Family number: 9729037 (JP63286072 A2)

© PatBase

Title:

IMAGE PICKUP DEVICE

Priority:

JP19870120003 19870519

Family:

Publication number

JP63286072 A2

Publication date

19881122

Application number

JP19870120003

Application date

19870519

Assignee(s):

CANON KK

(std):

Inventor(s):

JINNAI SHIGERU ; NINOMIYA KUNIO

International class (IPC 8):

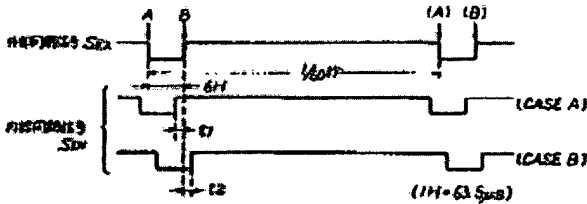
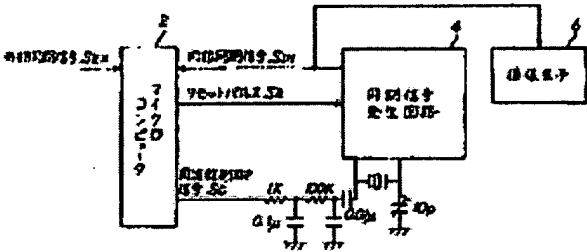
H04N5/06 H04N5/067 H04N5/23 H04N5/232 (Advanced/Invention);

International class (IPC 1-7):

H04N5/06 H04N5/067 H04N5/23 H04N5/232 (Core/Invention)

Abstract:

Source: JP63286072A2 PURPOSE: To attain external synchronization with high accuracy in a short time by using a measurement means in advance so as to measure the deviation between an external synchronizing signal and an internal synchronizing signal and resetting a synchronizing signal generating circuit or applying frequency control depending on the measured value. CONSTITUTION: A microcomputer 2 receives an external synchronizing signal SEX and a synchronizing signal SIN outputted from an internal synchronizing signal generating circuit 4 to supply a reset pulse SR or a frequency control signal S_n to a synchronizing signal generating circuit 4. When it is discriminated that the internal synchronizing signal SIN is at a high level, since the phase difference (in more accurate expression, time deviation at level transition point) of two synchronizing signals is 100 μs or over, a reset pulse SR is outputted while being awaited just before the next point A. On the other hand, when it is discriminated that the internal synchronizing signal SIN is at a low level, the operation is in standby by 100 μs (in standby till point B). When it is discriminated that the internal synchronizing signal SIN is at a high level, the voltage of the frequency control signal SC is decreased to reduce the frequency of the internal synchronizing signal SIN.



⑫ 公開特許公報(A)

昭63-286072

⑬ Int.Cl.⁴

H 04 N

5/067
5/232

識別記号

庁内整理番号

6940-5C
Z-6668-5C

⑭ 公開 昭和63年(1988)11月22日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 撮像装置

⑯ 特 願 昭62-120003

⑰ 出 願 昭62(1987)5月19日

⑱ 発 明 者 神 内 茂 神奈川県川崎市高津区下野毛770番地 キヤノン株式会社
玉川事業所内⑲ 発 明 者 二 宮 邦 男 神奈川県川崎市高津区下野毛770番地 キヤノン株式会社
玉川事業所内

⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

㉑ 代 理 人 弁理士 谷 義 一

明 細 書

1. 発明の名称

撮 像 装 置

2. 特許請求の範囲

同期信号発生回路を備えた撮像装置において、

外部から与えられた同期信号と前記同期信号発生回路から発せられた同期信号とのずれを測定する測定手段と、

前記測定手段によって所定値以上のずれが検出された場合には前記同期信号発生回路をリセットするリセット手段と、

前記測定手段によって所定値未満のずれが検出された場合には前記同期信号発生回路の発信周波数を変化させる周波数制御手段とを備え、

前記外部同期信号に同期して撮像情報を出力するようにしたことを特徴とする撮像装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、外部同期信号に同期して撮像用同期信号を発生させる機能を備えた撮像装置に関するものである。

〔従来の技術〕

第5図は、従来から知られている同期信号発生回路の一例を示すブロック図である。本図に示す回路では、位相比較器(PC)30から外部同期信号と内部同期信号との位相差に比例した電圧を発生させ、これをローパスフィルタ32を介して同期信号発生回路34に印加することにより、内部同期信号と外部同期信号の位相差が減少するように制御している。

〔発明が解決しようとする問題点〕

従来は、第5図に示すような構成により内部同期信号の位相を外部同期信号の位相と同期させていたため、初期状態において、最大 1/2フィールド分の位相差が生じてしまうことがある。その結果として、位相ロック状態に至るのに長時間を要

するという欠点があった。

よって、本発明の目的は、上述の点に鑑み、外部同期信号と内部同期信号を短時間にて位相ロックせしめるよう構成した撮像装置を提供することにある。

〔問題点を解決するための手段〕

かかる目的を達成するために本発明は、同期信号発生回路を備えた撮像装置において、外部から与えられた同期信号と同期信号発生回路から発生された同期信号とのずれを測定する測定手段と、測定手段によって所定値以上のずれが検出された場合には同期信号発生回路をリセットするリセット手段と、測定手段によって所定値未満のずれが検出された場合には同期信号発生回路の発信周波数を変化させる周波数制御手段とを備え、外部同期信号に同期して撮像情報を出力する。

〔作用〕

本発明に係る撮像装置では、同期信号発生回路の発信周波数を制御するのに際して、予め測定手段により外部同期信号と内部同期信号とのずれを

測定し、その測定値に応じて、同期信号発生回路をリセットするか、あるいは周波数制御を行う。このような制御態様を採ることにより、内部同期信号を外部同期信号に対して迅速に位相ロックさせることが可能となる。

〔実施例〕

以下、実施例に基づいて本発明を詳細に説明する。

第1図は、本発明に係る撮像装置の全体構成図である。本装置は、撮像素子Aおよび同期信号発生回路Bを備えた撮像装置において、外部から与えられた同期信号と同期信号発生回路Bから発生される同期信号とのずれを測定する測定手段Cと、測定手段Cによって所定値以上のずれが検出された場合には同期信号発生回路Bをリセットするリセット手段Dと、測定手段Cによって所定値未満のずれが検出された場合には同期信号発生回路Bの発信周波数を変化させる周波数制御手段Eとを備え、外部同期信号に同期して撮像情報を出力するものである。

第2図は、本発明を適用したその他の実施例を示すブロック図である。本図において、2はマイクロコンピュータ、4は同期信号発生回路、6は撮像素子である。

本実施例において、マイクロコンピュータ2は外部からの同期信号 S_{ex} と内部の同期信号発生回路4から出力される同期信号 S_{in} を入力し、リセットパルス S_R 又は周波数制御信号 S_c を同期信号発生回路4に供給する。

第3図は、外部同期信号 S_{ex} と同期信号発生回路4から出力される内部同期信号 S_{in} との関係を示すタイミング図である。本図に示した内部同期信号 S_{in} は、2つの場合〔CASE A〕および〔CASE B〕を例示してあるが、これはマイクロコンピュータ2の制御手順（第4図参照）を説明し易くするためにすぎない。なお、本図中の“1H”は1水平走査期間（83.5 μ S）を表す。

第4図は、マイクロコンピュータ2の制御手順を示すフローチャートである。

次に、第2図ないし第4図を参照して、本実施

例の動作を説明する。

まず、外部同期信号 S_{ex} がハイレベルを呈している間は待機し（ブロックB1）、ローレベルに至った時点で（6H-100 μ S）だけ待機する（すなわち、B点の100 μ S前に至るまで待機する：ブロックB2）。

ブロックB3において内部同期信号 S_{in} がハイレベルであると判断されたときには、2つの同期信号の位相差（正確には、レベル遷移点の時間的ずれ）は100 μ S以上あることになるので、次のA点の直前まで待機してリセットパルス S_R を出力する（ブロックB4）。他方、内部同期信号 S_{in} がローレベルであると判断されたときには、ブロックB5において100 μ Sだけ待機し（B点まで待機）、ブロックB6へ進む（第3図の〔CASE A〕参照）。

ブロックB8において、内部同期信号 S_{in} がハイレベルであると判断されたときには、 $0 \leq t_1 < 100 \mu S$ であることになるので、内部同期信号 S_{in} の周波数を下げるために、周波数制御信号 S_c の電圧を下げる（ブロックB7）。

ブロック86において、内部同期信号 S_{IN} がローレベルであると判断されたときには、 $100\ \mu\text{S}$ だけ待機する(ブロック88)。その時点で、内部同期信号 S_{IN} がハイレベルを呈しているときには(ブロック89)、 $0 \leq t_2 < 100\ \mu\text{S}$ であることになるので(第3図の[CASE B]参照)、内部同期信号 S_{IN} の周波数を上げるために、周波数制御信号 S_c の電圧を上げる(ブロック810)。他方、内部同期信号 S_{IN} がローレベルを呈しているときには(ブロック89)、 $t_2 \geq 100\ \mu\text{S}$ であることになるので、ブロック84を実行する。すなわち、A点の直前まで待機し、リセットパルス S_R を出力する。

同期信号発生回路4はリセットパルス S_R が入力されると当該リセットパルス S_R の立上りに同期して内部同期信号 S_{IN} を下下げるので、位相差(レベル遷移点の時間的ずれ)は±数 μS 以内となる。その他の場合は、周波数制御信号 S_c の電圧を制御することにより、短時間のうちに位相をロックすることができる。

4…同期信号発生回路、

6…撮像素子。

【効果】

以上述べたとおり、本発明に係る撮像装置では同期信号発生回路の発振周波数を制御するに際して、予め測定手段により外部同期信号と内部同期信号とのずれを測定し、その測定値に応じて、同期信号発生回路をリセットするか、あるいは周波数制御を行うこととしているので、簡易な構成にも拘りなく、短時間に高い精度で外部同期をとることができる。

4. 図面の簡単な説明

第1図は本発明に係る撮像装置の全体構成図、

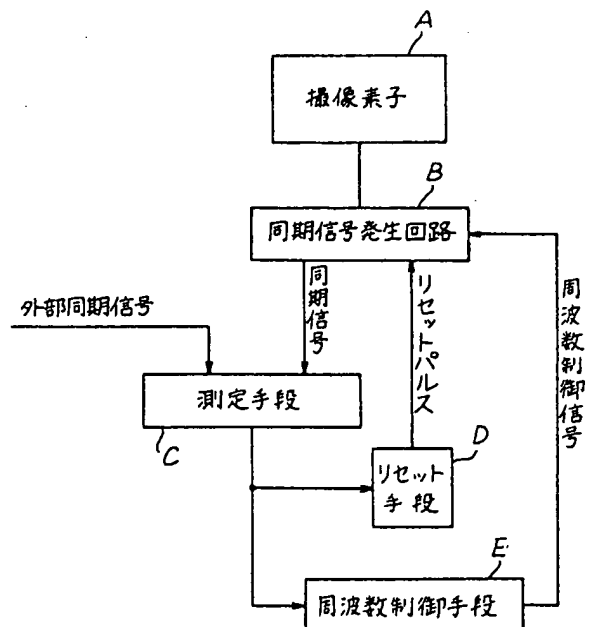
第2図は本発明の一実施例を示すブロック図、

第3図は第2図の動作を説明するためのタイミング図、

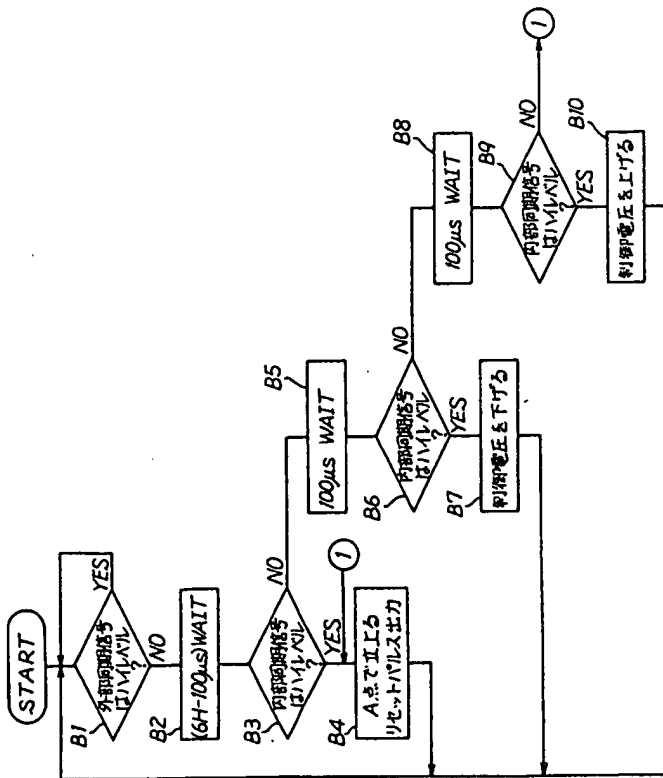
第4図は第2図に示したマイクロプロセッサの制御手順を示すフローチャート、

第5図は従来技術を説明するブロック図である。

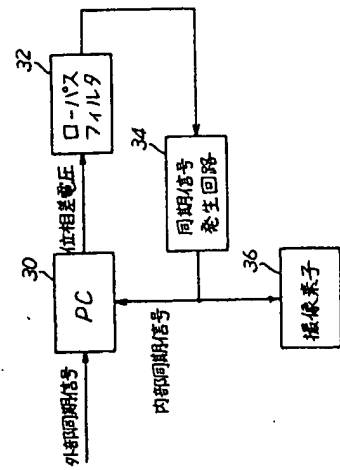
2…マイクロコンピュータ、



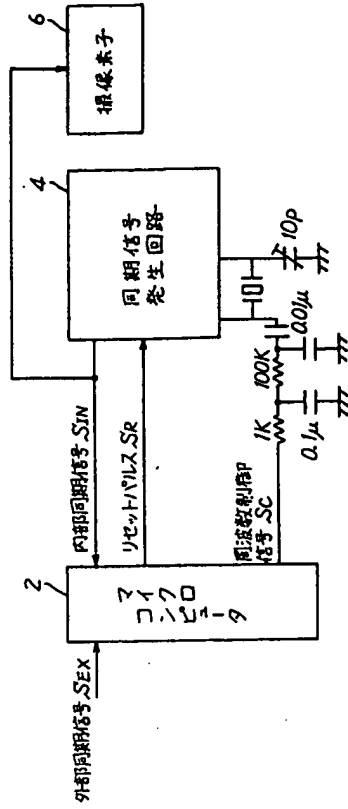
第1図



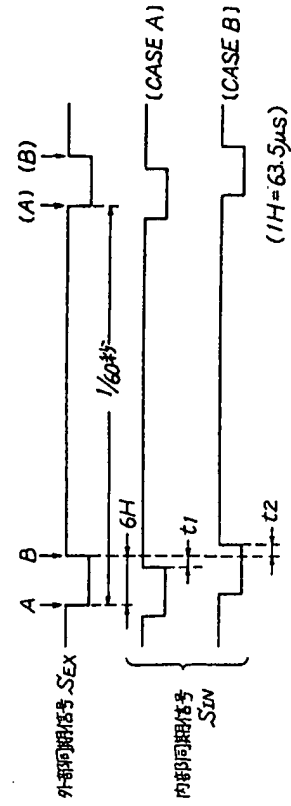
第4図



第5図



第2図



第3図